

PARTIAL TRANSLATION OF JP 3(1991)-269728 A

Publication Date: December 2, 1991

Title of the Invention: INSTRUCTION EXECUTION CONTROL SYSTEM
FOR PIPELINE COMPUTER

Patent Application Number: 2-70377

Filing Date: March 20, 1990

Inventors: Akira YASUSATO

Applicant: FUJITSU LTD

(Page 2, lower left column, line 3-lower right column, line 12)

[Prior art]

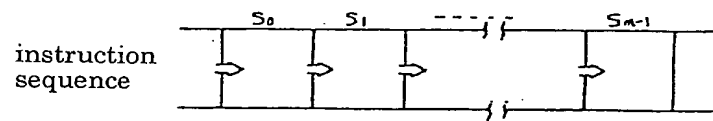
As a technology for a high-speed operation of computers, a pipeline technology is known. This technology aims at shortening an apparent machine cycle by decomposing the operation of an instruction to plural stages, so that different stages of plural sequential instructions are executed simultaneously.

Figure 8 is a schematic diagram of a pipeline. As shown in the drawing, an instruction passes through n pieces of stages S_0 - S_{n-1} sequentially. At each stage, an independent task such as instruction decoding, address computation of an operand, address translation, buffer access and operation execution is performed. When plural instructions are successively inputted to this pipeline, the respective instructions are executed in parallel at different stages, to proceed to the final stage sequentially. Generally, the operation of writing into a register or a memory is performed at the final stage. In other words, no operation at the final stage equals to no actual action to have been taken, which means no instruction has been executed.

The use of such a pipeline achieves an efficient operation when instructions are successive. However, when an instruction execution sequence is changed by a jump or the like, and a non-successive processing is performed, disorder in the sequence causes a vacant section in the stage

of the pipeline before the processing of a jumped instruction can be started, whereby it is impossible to make the most of a high-speed performance.

Conventionally, in order to improve the above-mentioned drawback, technologies such as a delayed jump and a skip are proposed. Although these technologies have achieved some effects, they are not yet satisfying.



concept of pipeline

Fig. 8



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03269728 A**(43) Date of publication of application: **02.12.91**

(51) Int. Cl.

G06F 9/38(21) Application number: **02070377**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **20.03.90**(72) Inventor: **YASUSATO AKIRA****(54) INSTRUCTION EXECUTION CONTROL SYSTEM FOR PIPELINE COMPUTER**

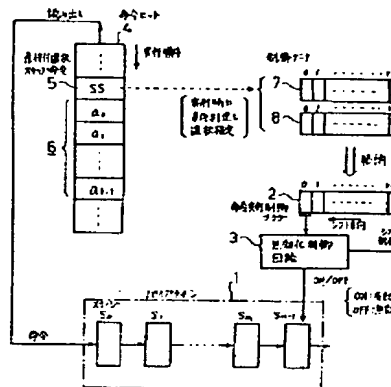
(57) Abstract:

PURPOSE: To attain the control without using a branching instruction by providing a flag which controls the validation/invalidation of sequential instructions and providing a conditional selective skip instruction which sets the control data to this flag on conditions.

CONSTITUTION: A conditional selective skip instruction 5 for instruction execution control has a function to designate a condition and to control the instruction execution in accordance with the validity/invalidity of this condition, and (r) instructions 6 of the following sequence are the control objects. Control data 7 and 8 are selected in accordance with the validity/validity of the condition designated by the instruction 5 and are stored in an instruction execution control flag 2. An invalidation control circuit 3 controls the validation/invalidation of an instruction in the final stage SN_1 of a pipeline 1 by the value of this flag 2. Consequently, the condition is designated by the conditional selective skip instruction 5 to practically segment the instruction sequence by invalidation, namely, the skip of one group of instructions. Thus, the control with

this system can be carried out without using the branching instruction which reduces the effect of the pipeline mechanism.

COPYRIGHT: (C)1991,JPO&Japio



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-269728

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)12月2日

G 06 F 9/38

3 3 0 K

7927-5B

審査請求 未請求 請求項の数 5 (全7頁)

⑮ 発明の名称 バイブライン計算機における命令実行制御方式

⑯ 特 願 平2-70377

⑰ 出 願 平2(1990)3月20日

⑱ 発 明 者 安 里 彰 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 長 谷 川 文 廣 外 2 名

明 細 書

1. 発明の名称

バイブライン計算機における命令実行制御方式

2. 特許請求の範囲

(1) バイブライン方式で命令のセットを実行する計算機において、

複数のビットからなる命令実行制御フラグと、

指定した条件が成立したか否かにより予め設定されている制御データを上記命令実行制御フラグに複写する機能をもった条件付選択スキップ命令とを設け、

バイブラインの実行ステージを命令が通過するごとに上記命令実行制御フラグの各ビットの値を一方へ1ビットシフトし、当該フラグのシフト方向の端のビットの値がONである場合は現在実行ステージにある命令を実行し、また上記端のビットの値がOFFである場合は上記実行ステージにある命令をキャンセルするように制御し、

命令のセット中に上記条件付選択スキップ命令を挿入することにより、後続の命令シーケンスにおける個々の命令の実行の有効、無効を条件付きで制御することを特徴とするバイブライン計算機における命令実行制御方式。

(2) 請求項1において、条件付選択スキップ命令は、指定した条件が成立した場合に自己のオペランドの特定部分の制御データを上記命令実行制御フラグに複写し、また指定した条件が不成立の場合には複写をしない機能をもったものであることを特徴とするバイブライン計算機における命令実行制御方式。

(3) 請求項1において、条件付選択スキップ命令は、指定した条件が成立した場合に自己のオペランドの特定部分の制御データを上記命令実行制御フラグに複写し、また指定した条件が不成立の場合には上記制御データを反転して複写する機能をもったものであることを特徴とするバイブライン計算機における命令実行制御方式。

(4) 請求項1において、条件付選択スキップ命令

は、指定した条件が成立した場合に自己のオペランドの特定部分の制御データを上記命令実行制御フラグに複写し、また指定した条件が不成立の場合には他の特定部分の制御データを複写する機能をもったものであることを特徴とするパイプライン計算機における命令実行制御方式。

(5) 請求項1において、命令シーケンス中の命令の実行の可否を個々に指定する複数のビットからなる制御データを複数個予め格納する専用の記憶領域をそなえ、

条件付選択スキップ命令は、指定した条件の成立、不成立により上記専用の記憶領域に格納されている制御データの定められた1つを指定して上記命令実行制御フラグに複写する機能をもったものであることを特徴とするパイプライン計算機における命令実行制御方式。

3. 発明の詳細な説明

(概 要)

パイプライン方式の計算機において、パイプラ

実行の有効、無効を制御する方式に関する。

(従来の技術)

計算機を高速に動作させるための技術としてパイプライン技術がある。これは命令の動作を複数のステージに分解し、連続した複数の命令の異なるステージを同時に実行することで見かけのマシンサイクルを短縮しようとするものである。

第8図は、パイプラインの概念図である。図示のように、命令は n 個のステージ $S_1 \sim S_n$ を順に通過していく。各ステージでは、命令デコード、オペランドのアドレス計算、アドレス変換、バッファアクセス、演算実行などの独立した仕事が行われる。このパイプラインに複数の命令が連続して入力されると、各命令は別々のステージで並列に実行されながら、順次最終ステージへ進められる。通常、最終ステージでレジスタやメモリへの書き込み動作が行われる。すなわち、最終ステージで何もしなければ実際の作用はなかったことになり、その命令は実行されなかったのと同

特開平3-269728(2)

イン上の命令シーケンスの中の各命令の実行の有効、無効を制御する方式に関し、

分岐命令を極力使用せずに済ますことを可能にする手段を提供することを目的とし、

複数のビットからなる命令実行制御フラグと、指定した条件が成立したか否かにより予め設定されている制御データを上記命令実行制御フラグに複写する機能をもった条件付選択スキップ命令とを設け、パイプラインの実行ステージを命令が通過することにより上記命令実行制御フラグの各ビットの値を一方へ1ビットシフトし、当該フラグのシフト方向の端のビットの値がONである場合は現在実行ステージにある命令を実行し、また上記端のビットの値がOFFである場合は上記実行ステージにある命令をキャンセルするように制御する構成をもつ。

(産業上の利用分野)

本発明は、パイプライン方式の計算機において、パイプライン上の命令シーケンスの中の各命令の

じになる。

このようなパイプラインを用いると、命令が連続しているケースでは効率良く動作するが、分岐等によって命令実行シーケンスを変更し、不連続な処理を行う場合には、分岐先の命令の処理を開始できるまでに、シーケンスの乱れからパイプラインのステージに空きが生じて、高速性を活かせないという欠点があった。

従来、上記の欠点を緩和するために、遅延分岐、スキップ等の技術が提案されており、それなりの効果はあげていたが、なお満足できるものではなかった。

(発明が解決しようとする課題)

本発明は基本的にパイプライン制御の効果を低下させる要因であるところの分岐命令を極力使用せずに済ますことを可能にする手段を提供することを目的としている。

〔課題を解決するための手段〕

本発明は、パイプラインの実行ステージを通過する複数の命令のセットについて、順次の命令の有効／無効をON/OFFで制御する複数ビットのフラグを設けるとともに、このフラグに条件付きで制御データを設定する条件付選択スキップ命令を設けて、命令実行制御を行うようにしたものである。

第1図は、例示的手段を用いて示した本発明の原理図である。

第1図において、

1は、パイプラインであり、 n 個($n \geq 2$)のステージ S_1, S_2, \dots, S_{n-1} をもつ。

2は、命令実行制御フラグであり、 r 個($r \geq 2$)のビット数をもつ。

3は、最終ステージ S_{n-1} に設けられた無効化制御回路であり、最終ステージ S_{n-1} を命令が通過することに命令実行制御フラグ2を1ビット左シフトさせ、その結果の命令実行制御フラグ2の最上位ビットのON/OFF(ON=有効, OFF=

無効)の値によって、そのとき最終ステージ S_{n-1} にある命令の有効／無効を制御する。

4は、パイプラインで実行される複数の命令のセットである。

5は、本発明により設けられた命令実行制御用の条件付選択スキップ命令であり(SSで表す)、条件を指定して、その成立／不成立に応じた命令実行制御を行う機能をもつ。後続シーケンスの r 個($r \geq 2$)の命令が制御対象となる。

6は、条件付選択スキップ命令5(SS)によって実行の可否を制御される対象の r 個の後続命令である(a_1, a_2, \dots, a_{r-1} で表す)。

7, 8は、命令実行制御フラグ2に設定される制御データであり、命令5で指定された条件の成立／不成立により選択されて、命令実行制御フラグ2に格納される。

制御データ(7, 8)は、命令5のオペランドの一部に予め設定されるかあるいは専用の記憶領域に設定されることができる。また制御データは、複数個用意して条件の成立／不成立によって選択

することができる。

各グループの命令は、1本のストリング上に混在して並んでいるため、条件の成立／不成立によって実行する命令のグループが一方に限定されても、命令フェッチの順序はストリングの配列順、つまりアドレス順に行われ、分岐命令の場合のようなパイプラインの乱れは生じない。このため処理の高速化が可能となる。

〔実施例〕

第2図ないし第7図を用いて、本発明の実施例を説明する。

第2図は本発明の1実施例回路の構成図で、第1図の命令実行制御フラグ2および無効化制御回路3に対応する回路部分を示したものである。

第2図において、21はシフトレジスタで構成された命令実行制御フラグ回路、22は最終ステージで実行結果データを書き込む先のメモリ領域あるいはレジスタなどのディスティネーション、23は実行結果を書き込むために最終ステージで

〔作 用〕

本発明方式を用いることにより、ある条件の成立、不成立によって後の動作を変化させるが、すぐに元の流れに戻るようなプログラムを処理する場合、成立の場合に実行する命令のグループと不成立の場合に実行するグループとを命令実行制御フラグのビット列上にパターン化しておき、条件付選択スキップ命令で条件を指定することにより、簡単に一方のグループの命令を無効化、すなわちスキップして実質的に命令シーケンスを切り分け

つくられる従来のものと同じWE（ライトイネーブル）信号。24は命令実行制御フラグ回路21からの最上位ビット出力。25はWE信号23とフラグ回路21の最上位ビット出力24との一致をとり、WE信号を有効化／無効化するANDゲート。26はANDゲート25の出力のWE'信号。27は最終ステージの直前のステージから出力される命令移動を通知するステージ移動信号。28は第1図の制御データ7または8に対応する制御データ。29は実行結果データである。

従来の方式では、最終ステージでの実行結果データ29をディスティネーションに書き込む動作を支配するものはWE信号23であったが、本発明では、WE信号23を、そのとき対応する命令の有効／無効を制御する命令実行制御フラグビットである最上位ビット出力24の値でゲーティングすることにより、有効（最上位ビット出力24＝ON）とされたWE信号23が、WE'信号26としてディスティネーション22を書き込み可能にするために印加されるようになっている。つま

に条件付選択スキップ命令SSが到達したとき、第3図の‘セット’信号がONになり、制御データのレジスタへのセットが行われるが、以後は、‘シフト’信号がONで‘セット’信号はOFFとなり、シフト動作が行われる。

‘セット’／‘シフト’信号は、第1図の無効化制御回路3によって発行される。

第4図は、制御データの設定方法（その1）を示し、命令内フィールドに制御データを直接記述する方法である。図中、40は条件付選択スキップ命令、41はオペコード（SS）フィールド、42は《条件》フィールド、43は制御データを記述するフィールドである。《条件》フィールドには、成立／不成立の定まる何らかの条件（たとえばあるレジスタの値がゼロである場合は成立、その他の場合は不成立）が記述される。もしもこの条件判定結果が成立であれば、フィールド43の制御データが第2図の命令実行制御フラグ回路21にセットされ、それに基づく命令実行制御が行われる。他方、条件が不成立であれば、制御デ

特開平3-269728 (4)

り有効な命令に対応するWE'信号はON、無効な命令に対応するWE'信号はOFFに制御され、OFFの場合はディスティネーション22への実行結果データ29の書き込みは禁止されることによって命令実行の無効化が行われる。

第3図は、命令実行制御フラグ回路の細部構成を示したもので、30はシフトレジスタ、31-0ないし31-r-1は、rビットの命令実行制御フラグの各々のビット値をセットするためのr個レジスタ段、32-0ないし32-r-1はセレクトであり、セット時には制御データ入力 of 各ビットに対応するレジスタ段31-0ないし31-r-1の入力へ結合し、またシフト時には、レジスタ段31-0ないし31-r-2の入力の各々にそれぞれの右隣のレジスタ段31-1ないし31-r-1の出力を結合し、シフト動作を可能にする。なおレジスタ段31-r-1については右隣にレジスタ段がないのでシフト時に‘1’が入力される。

パイプラインの最終ステージ（第1図のS_{n-1}）

ータのセットは行わずに、命令実行制御フラグ回路21の全ビットの値を、有効指示にし、後続の全命令をキャンセルせずに実行させる。

第5図は他の制御データの設定方法（その2）を示す。図中、50はメモリ、51は制御データ専用の記憶領域で制御データを複数種類格納できるもの、52はコンディションコードで、条件判定結果によりセットされた値をもち、メモリ50のアドレスとなるものである。

これにより、条件付選択スキップ命令で指定された条件の判定結果に対応する制御データを自動的にメモリ50から読み出し、第2図の命令実行制御フラグ回路21にセットすることができる。この方法は、命令内に制御データの記述フィールドを設ける必要がないという利点がある。

第6図は、条件の成立、不成立によって制御データの値を反転する場合の制御データの反転設定回路の例である。図中、60はEORゲート、61は制御データ、62は条件成立時にONとなる信号である。この動作を次のプログラム例で説明

特開平3-269728(5)

する。

SS《条件》制御データ '0101'

後続命令①

後続命令②

後続命令③

後続命令④

制御データ '0101' から、条件成立時には、後続命令②、④が有効、①、③が無効となる指示が行われる。また条件不成立の場合には、第4図で説明した例では全命令が有効となる。ここで第6図の回路を使用した場合（たとえばモード指定により使用できるようにする）には、条件不成立時に、制御データ '0101' はEORゲート60の出力で '1010' となり、後続命令①、③のみが有効となるように制御できる。

第7図は更に他の制御データの設定方法（その3）を示す。図中、70は条件付選択スキップ命令、71はオペコード（SS）、72は《条件》

フィールド、73は条件成立時の制御データ、74は条件不成立時の制御データ、75は制御データ73、74を条件の成立／不成立により選択するセレクトである。この第7図の方法では、条件成立時と条件不成立とでそれぞれ独立に任意のパターンの制御データを設定することができる。

〔発明の効果〕

本発明によれば、パイプラインでの命令実行制御に乱れを生じることなく実行命令の切り替えを行うことができるため、処理の高速化を図ることができる。また複雑な処理を簡潔に記述できるためプログラムの構成が簡単になり、プログラム開発や保守が容易になる利点を得られる。

4. 図面の簡単な説明

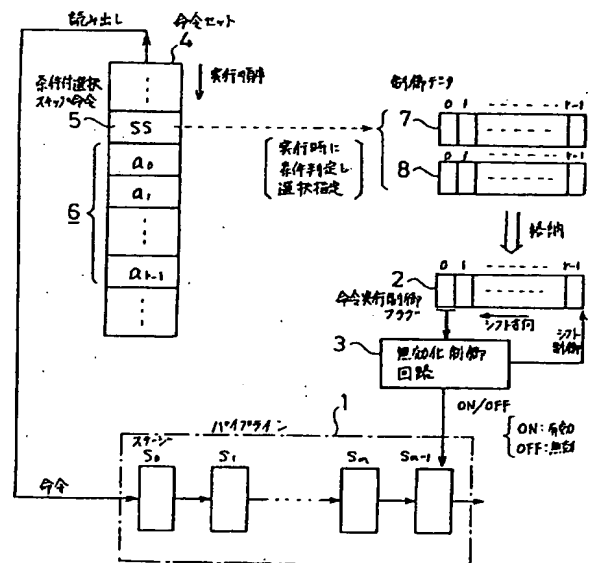
第1図は本発明の原理図、第2図は本発明の一実施例回路の構成図、第3図は命令実行制御フラグ回路の細部構成図、第4図は制御データの設定方法（その1）の説明図、第5図は制御データの

設定方法（その2）の説明図、第6図は制御データの反転設定回路の構成図、第7図は制御データの設定方法（その3）の説明図、第8図はパイプラインの概念図である。

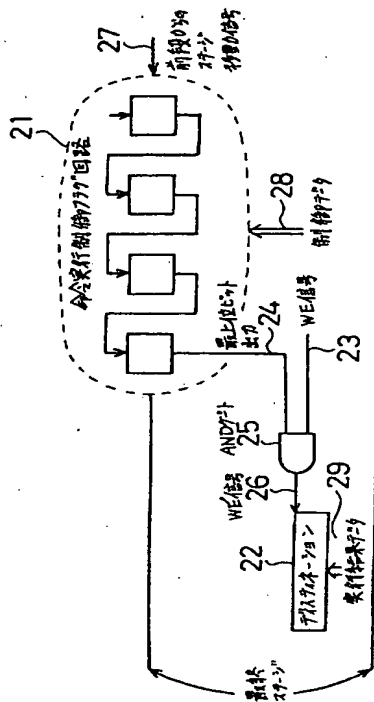
第1図中、

- 1: パイプライン
- 2: 命令実行制御フラグ
- 3: 無効化制御回路
- 4: 命令セット
- 5: 条件付選択スキップ命令（SS）
- 6: 後続命令（ a_0, a_1, \dots, a_{r-1} ）
- 7, 8: 制御データ

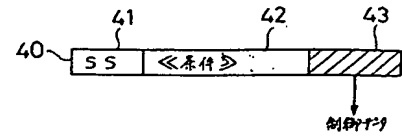
特許出願人 富士通株式会社
代理人 弁理士 長谷川 文廣（外2名）



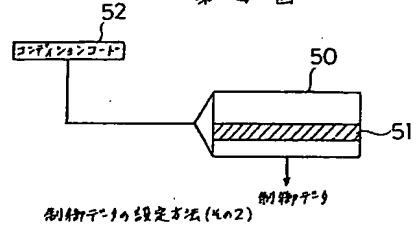
本発明の原理
第1図



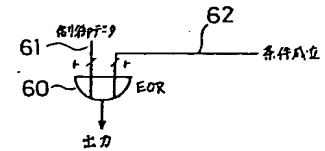
本発明の1実施例回路の構成
第2図



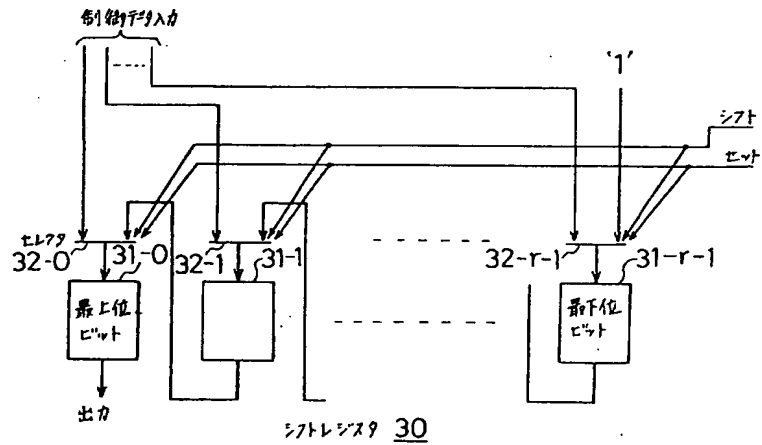
制御信号の設定方法(例1)
第4図



制御信号の設定方法(例2)
第5図



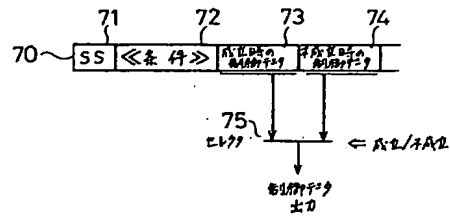
制御信号の反転設定回路の構成
第6図



命令実行制御フラグ回路の細部構成
第3図

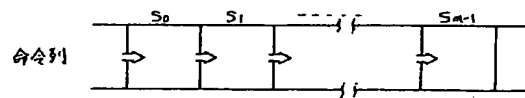
(7)

特開平3-269728(7)



制御シーケンスの指定方法 (A03)

第 7 図



ハイフラインの概念

第 8 図